

3

2812

684.3067



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
ICHIRO TANAKA) Examiner: Unassigned
Application No.: 09/654,038) Group Art Unit: 2812
Filed: September 1, 2000)
For: TWO-DIMENSIONAL PHASE)
ELEMENT AND METHOD OF)
MANUFACTURING THE SAME) October 30, 2000

Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Application: JP 11-250853, filed on September 3, 1999.

RECEIVED
NOV - 2 2000
TC 2800 MAIL ROOM

A certified copy of the priority document is enclosed.

6-17

Applicant's undersigned attorney may be reached in
our New York office by telephone at (212) 218-2100. All
correspondence should continue to be directed to our address
given below.

Respectfully submitted,


Christopher J. Volavay
Attorney for Applicant
Registration No. 42,667

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

EFH:meg
NY_MAIN 122567 v 1

CFE 306745(V)
250853/1999

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

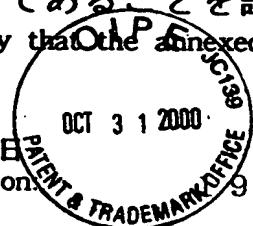
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 1999年 9月 3日

出願番号 Application Number: 平成11年特許願第250853号

出願人 Applicant(s): キヤノン株式会社

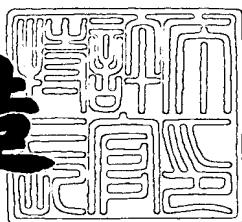


RECEIVED
NOV - 2 2000
162800 MAIL ROOM

2000年 9月 22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3077160

【書類名】 特許願

【整理番号】 3907069

【提出日】 平成11年 9月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 G02B 5/18

【発明の名称】 二次元位相型素子及びその作製方法

【請求項の数】 16

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 田中 一郎

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100075948

【弁理士】

【氏名又は名称】 日比谷 征彦

【電話番号】 03-3852-3111

【手数料の表示】

【予納台帳番号】 013365

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703876

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 二次元位相型素子及びその作製方法

【特許請求の範囲】

【請求項1】 セグメント間のアライメントエラーを局所的部分に限定したことを特徴とする二次元位相型素子。

【請求項2】 基板上に第1のエッティングマスクを市松模様状に形成し、このパターンを基準としてエッティングを行うことを特徴とする二次元位相素子又はそのモールド型の作製方法。

【請求項3】 基板上に第1のエッティングマスクを市松模様状に形成し、第1のマスクに覆われない部分に所望のマルチレベルの段を形成し、前記第1のエッティングマスクを反転した第2のエッティングマスクを形成し、前記第1のエッティングマスクを除去し、前記第2のエッティングマスクに覆われない部分に所望のマルチレベルの段を形成することを特徴とする二次元位相型素子又はそのモールド型の作製方法。

【請求項4】 前記第1のエッティングマスクはクロム膜から成ることを特徴とする請求項2又は3に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項5】 前記第1のエッティングマスクはアルミニウムであることを特徴とする請求項2又は3に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項6】 前記第1のエッティングマスクはアルミニウム、前記第2のエッティングマスクはクロムであることを特徴とする請求項2又は3に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項7】 前記第1のエッティングマスクはクロム、前記第2のエッティングマスクはアルミニウムであることを特徴とする請求項2又は3に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項8】 母材を石英とすることを特徴とした請求項1～7の何れか1つの請求項に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項9】 市松模様状のパターンを形成するためのレチクルには光近接効果補正パターンを形成していることを特徴とする請求項1～8にの何れか1つの請求項に記載の二次元位相型素子又はそのモールド型の作製方法。

【請求項10】 請求項2～9の何れか1つの方法により製作した二次元位相素子又はそのモールド型。

【請求項11】 請求項1又は10に記載の位相型コンピュータジエネレイテッドホログラム又は二次元バイナリ構造体又は位相変調板を含む照明系。

【請求項12】 請求項11に記載の照明系を用いた投影露光装置。

【請求項13】 請求項10に記載の照明系を用いた縮小投影露光装置。

【請求項14】 請求項11に記載のモールド型を用いて作製した位相型コンピュータジエネレイテッドホログラム又は二次元バイナリ構造体又は位相変調板。

【請求項15】 請求項12又は13に記載の投影露光装置を用いて作製した半導体デバイス。

【請求項16】 請求項12又は13に記載の投影露光装置を用いる半導体デバイスの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体生産用の縮小露光装置の光学部品或いは光インタコネクション用素子の部品等に用いる位相型コンピュータジエネレイテッドホログラム（C G H）、二次元バイナリ構造体或いは位相変調板による二次元位相型素子又は二次元位相素子のモールド型及びその作製方法に関するものである。

【0002】

【従来の技術】

0 plus E No.11 pp95-100(1996)による論文によると、レジスト塗布、マスクパターン、エッチングの工程を繰り返すことにより、階段型形状を製作する方法が開示されており、マスク数をLとすると 2^L の位相レベルを有するマルチレベル位相型C G Hが得られる。

【0003】

図24は位相型CGHを製作するためのレチクルの平面図を示しており、図24(a)、(b)、(c)はそれぞれレチクル1a、1b、1cのパターンを示しており、ハッチングを示した領域は遮光部を示している。また、レチクル1aにより深さ61nm、レチクル1bにより深さ122nm、レチクル1cにより深さ244nmのエッティングを施す。レチクル1a、1b、1cの使用する順は不同であるが、エッティング深さの浅いレチクル1aから行った方が、レジストのパターン精度は向上する。

【0004】

先ず、基板にレジストを塗布し、図24(a)に示すレチクル1aを用いてレジストをパターニングし、得られたレジストパターンをマスクとして深さ61nmのエッティングを行うと、図25(a)に示すようなエッティング深さ分布となる。なお、数字はエッティング深さ(nm)を示している。その後に、レジストパターンを剥離し、再度レジストを塗布し、図24(b)に示すレチクル1bを用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ122nmのエッティングを行うと、図25(b)に示すようなエッティング深さ分布となる。更に、レジストパターンを剥離し、再度レジストを塗布し、図24(c)に示すレチクル1cを用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ244nmのエッティングを行うと図25(c)に示すようなエッティング深さ分布となる。また、図15は図25(c)に示す基板のE-e線の断面図を示している。

【0005】

【発明が解決しようとする課題】

しかしながら上述の従来例においては、レチクル間のアライメントが必要であり、フォトリソグラフィによりマルチレベル位相型CGHを作製する場合に、理想的には図26に示すような形状になるべきであるが、実際にはアライメントエラーを生じ、図27に示す断面図のようなエッジに余分な誤差が生ずる。

【0006】

図28はアライメントエラーにより、一边aの2回目のレジストパターンがx

方向に長さ d だけずれた場合のセグメントの平面図を示しており、領域 1 1 が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域 1 2 が 2 回目のレジストパターンを示している。従って、ハッチングで示す領域 1 3 が位相型 CGH として無効な領域となり、その面積 S_1 は式(1)で示される。

$$S_1 = 2ad \quad \cdots (1)$$

【0007】

図 29 はアライメントエラーにより、2 回目のレジストパターンが x 方向及び y 方向に共に長さ d だけずれた場合のセグメントの平面図を示しており、細線で示される領域 1 1 が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域 1 4 が 2 回目のレジストパターンを示している。従って、ハッチングで示す領域 1 5 が位相型 CGH として無効な領域となり、その面積 S_2 は式(2)で示される。

$$S_2 = 4ad - 2d^2 \quad \cdots (2)$$

【0008】

また、上述の方法により製作した位相型 CGH を用いた照明系は、アライメントエラーを有するため、所望の場所以外に光束を投影したり、或いは像の劣化等の性能低下を引き起し、所望の性能を得ることができない。

【0009】

また、その照明系を用いた投影露光装置も所望の性能を得ることができず、更にはその投影露光装置を用いて半導体デバイスを作製する際には光学的に所望の性能を得ることができないため、歩留低下等によりデバイスの生産性が低下し、デバイス価格は上昇する。

【0010】

また、セグメントの形状を規定するレジストパターンは、現実的には完全な矩形状に形成することは困難であり、これを回避するために通常では OPC と呼ばれる予備パターンを形成するが、形状が不規則なためレチクル設計において補正パターンの計算が複雑となり、レチクルのコストを上昇してしまう。

【0011】

本発明の目的は、上述したアライメントエラーにより生ずる無効な領域を小さ

くすることにより、安価で高性能な二次元位相型素子及びその作製方法を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するための本発明に係る二次元位相型素子は、セグメント間のアライメントエラーを局所的部分に限定したことを特徴とする。

【0013】

また、本発明に係る二次元位相型素子又はそのモールド型の作製方法は、基板上に第1のエッチングマスクを市松模様状に形成し、第1のマスクに覆われない部分に所望のマルチレベルの段を形成し、前記第1のエッチングマスクを反転した第2のエッチングマスクを形成し、前記第1のエッティングマスクを除去し、前記第2のエッティングマスクに覆われない部分に所望のマルチレベルの段を形成することを特徴とする。

【0014】

【発明の実施の形態】

本発明を図1～図23に図示の実施例に基づいて詳細に説明する。

図1において、先ず石英基板上にエッティングマスクとして、膜厚約100nmのクロム膜21を成膜し、更にこのクロム膜21上にフォトトレジストを塗布し、フォトリソグラフィにより市松模様（チェックフラッグ）状の幅1μmのレジストパターン22を形成する。

【0015】

本実施例においては、基板材料として石英を使用しているが、フッ化カルシウム、フッ化マグネシウム、フッ化リチウム、フッ化アルミニウム等のフッ化物を用いてよい。フッ化物は特にArFレーザー光や、フッ素レーザー光等の短波長を用いる露光装置に用いる位相型CGH、位相変調板に有効である。また、石英はArFエキシマレーザー光、KrFエキシマレーザー光又は超高圧水銀ランプを使用したi線等の露光装置に用いる位相型CGH、位相変調板に適している。また、レジストパターン22の形成には、フォトリソグラフィの他にステッパー、EB描画装置、イオン描画装置を用いてよい。

【0016】

図2は各セグメントにおける基板のエッチング深さの分布を示しており、基板のエッチングは行われていないため、全て0 (nm)である。

【0017】

次に、レジストパターン22をマスクとしてクロム膜21を平行平板RIE法により、例えば塩素及び酸素から成る混合ガスを用いエッチングし、クロム膜パターンを形成する。また、RIE法以外にスパッタエッチングや特にフッ化物系材料の場合に最適なイオンミリング法、ICP法やUHFプラズマ法等の低圧高密度プラズマを用いたエッチング方法を用いてもよい。

【0018】

続いて、このレジストパターン22を剥離することにより、図3に示すようなクロム膜パターン21aを形成することができ、フォトレジストを再度塗布し、フォトリソグラフィによりレジストパターン23を形成する。また、このレジストパターン23はセグメントの対角線の長さを直径とする円形を示しているが、セグメントの対角線の長さを一边の長さとする正方形としてもよい。

【0019】

次に、クロム膜パターン21a、レジストパターン23をマスクとして石英基板を深さ61nmエッチングする。また、図4はこの1回目のエッチング後の各セグメントにおける石英基板のエッチング深さ(nm)の分布を示している。

【0020】

更に、このレジストパターン23を剥離した後に、再度フォトレジストを塗布しフォトリソグラフィにより、図5に示すようなレジストパターン24を形成する。また、レジストパターン24はレジストパターン23と同様に円形を示しているが、セグメントの対角線の長さを一边の長さとする正方形としてもよい。続いて、このクロム膜パターン21a、レジストパターン24をマスクとし石英基板をRIE法により、更に深さ122nmエッチングする。また、図6は2回目のエッチング後の各セグメントにおける石英基板のエッチング深さの分布を示している。

【0021】

次に、レジストパターン24を剥離し、再度フォトレジストを塗布しフォトリソグラフィにより、図7に示すようなレジストパターン25を形成し、クロム膜パターン21a、レジストパターン25をマスクとしRIE法により、更に深さ244nmエッティングする。図8は3回目のエッティング後の各セグメントにおける石英基板のエッティング深さの分布を示している。また、レジストパターン25はレジストパターン23と同様に円形を示しているが、正方形でもよい。

【0022】

続いて、図9に示すようにレジストパターン25を剥離し、その上にスパッタリング法により、膜厚100nmのアルミニウム膜31を成膜する。次に、クロム膜パターン21aの表面が露出するまで研磨剤として、粒径5／100μmの酸化セリウム、研磨布としてウレタンシートを用い、ラップ盤により30rpm、50g/cm²の条件において研磨する。

【0023】

図10は研磨後の基板の平面図を示しており、クロム膜パターン21a及びアルミニウム膜パターン31aが市松模様状に交互に配置されている。更に、このクロム膜パターン21aを例えば硝酸セリウムアンモニウム、過塩素酸、水の混合液によるエッティング液を用いてウエットエッティングすることにより除去する。このように、クロム膜パターン21aは除去することにより、クロム膜パターン21aを反転したアルミニウム膜パターン31aを形成することができる。

【0024】

そして、図11に示すように更にフォトレジストを塗布し、フォトリソグラフィによりレジストパターン51を形成する。レジストパターン51はセグメントの対角線の長さを直径とする円形の場合を示しているが、レジストパターン23と同様にセグメントの対角線の長さを一边の長さとする正方形としてもよい。

【0025】

アルミニウム膜パターン31aとフォトレジストパターン51をマスクとして、石英基板をRIE法により深さ61nmエッティングする。図12はこの1回目のエッティング後の各セグメントにおける石英基板のエッティング深さの分布を示している。

【0026】

次に、図13に示すようにレジストパターン51を剥離し、再度フォトレジストを塗布し、フォトリソグラフィによりレジストパターン52を形成する。そして、アルミニウム膜パターン31aとレジストパターン52をマスクとして、更に深さ122nmエッチングする。図14はこの各セグメントにおける石英基板のエッチング深さを示している。また、レジストパターン52はセグメントの対角線の長さを一边の長さとする正方形としてもよい。

【0027】

続いて、図15に示すようにレジストパターン52を剥離し、再度フォトレジストを塗布し、フォトリソグラフィによりレジストパターン53を形成する。そして、アルミニウム膜パターン31aとレジストパターン53をマスクとして、更に深さ244nmエッチングする。図16は各セグメントの石英基板のエッチング深さの分布を示している。また、レジストパターン53はセグメントの対角線の長さを一边の長さとする正方形としてもよい。

【0028】

更に、レジストパターン53を剥離した後に、アルミニウム膜パターン31aを例えればリン酸、硝酸、酢酸、水の混合溶液を用いてウエットエッチングにより除去することにより、8段形状を有する位相型CGHを得ることができる。

【0029】

図17はアライメントエラーにより、レジストパターン23がx方向に長さdだけずれた場合のセグメントの平面図を示しており、レジストパターン23は一边の長さが $2^{1/2}a$ の正方形であり、クロム膜パターン21aの格子に対しては45°傾いている。

【0030】

図3、図5、図7において、レジストパターン23は円形のものを用いたが、図17においては説明を簡略化するために正方形のものを使用している。従って、ハッチングで示した領域61が無効な領域となり、局所的部に限定され、その面積S3は式(3)で示される。図28の従来例と比較すると、 $d < a$ である限り、 $S1 > S3$ が成立する。

$$S_3 = 2 d^2 \quad \dots (3)$$

【0031】

通常のパターニングでは、 $d \ll a$ の条件においてアライメントを行うため、本実施例のレジストパターン23が従来例において示したレジストパターン12よりも無効な領域を小さくすることができる。

【0032】

図18はアライメントエラーにより、レジストパターン23がx方向及びy方向にそれぞれ長さdだけずれた場合のセグメントの平面図を示しており、レジストパターン23は図17と同様に、一边の長さは $2^{1/2}a$ の正方形であり、クロム膜パターン21aの格子に対して45°傾いている。

【0033】

従って、ハッチングで示した領域62が無効な領域となり、局所的部分に限定され、その面積S4は次の式(4)で示されるので図29の従来例と比較すると、 $d < 2a/3$ である限り、 $S_2 > S_4$ が成立する。

$$S_4 = 4 d^2 \quad \dots (4)$$

【0034】

通常のパターニングでは、 $d \ll a$ の条件においてアライメントを行うため、本実施例のレジストパターン23が従来例において示したレジストパターン12よりも無効な領域を小さくすることができる。

【0035】

本実施例においては、2つのモデルを用いて従来例と比較したが、任意の方向にアライメントエラーが生じた際にも、本実施例のアライメントエラーの方が無効な領域を小さくすることができる。

【0036】

図19(a)は本実施例における市松模様状のクロム膜パターンを形成するためのレチクルの概略図を示している。しかし、図19(a)に示すレチクルを用いて形成したレジストパターンは図19(b)に示すようになり、正確なクロム膜パターンを形成することができない。

【0037】

そこで、光近接効果補正を行った図19(c)に示すようなレチクルを用いることにより、図19(d)に示すようなレジストパターンを得ることができ、より正確なクロム膜パターンが作製可能となる。

【0038】

また、位相型CGH或いは二次元バイナリ構造体或いは位相変調板には必要に応じて、反射防止膜を形成することもある。基板に反射材料を用いたり或いは蒸着、メッキ、スパッタ、CVD法等の方法により反射材料を成膜することにより、反射型の位相型CGH或いは二次元バイナリ構造体或いは位相変調板を作製することができる。また、この表面に反射増強膜を形成してもよい。

【0039】

図20は階段状回折光学素子の作製模式図を示しており、本実施例において作製した位相型CGHをモールド型として用い、樹脂製の階段状回折光学素子を作製することができる。先ず、図20(a)に示すようにガラス基板71にシリソジ72を用いて、反応硬化型樹脂、即ちアクリル系、エポキシ系等の紫外線硬化型樹脂或いは熱硬化型樹脂等の樹脂73を滴下する。

【0040】

次に、図20(b)に示すように本実施例における方法により作製した位相型CGH74を樹脂73の上面から押圧することにより、図20(c)に示すようなレプリカ層75を形成する。この際に、型となる位相型CGH74を樹脂73に押圧する前に、位相型CGH74の表面に必要に応じ離型剤を塗布することにより離型し易くする。

【0041】

次に、紫外線硬化型樹脂を用いた場合には型となるガラス基板71の側から紫外線を照射し、樹脂73を固化させる。また、熱硬化型樹脂を用いた場合には加熱処理を施すことにより樹脂73を固化させる。その後に、ガラス基板71からレプリカ層75を剥離することにより、図20(d)に示すような階段状回折光学素子76を得ることができる。

【0042】

図21は本実施例により作製した位相型CGHを用いたi線或いはKrF等の

紫外線を用いた半導体用露光装置の照明系の概略図を示している。光源81から出射した光束は、ビーム整形光学系82を介して位相型CGH83に入射する。このCHG素子83を透過した光束はリレーレンズ系84、絞り85、ズーム光学系86、多光束発生光学系87、照射手段88を介して被照射面89に照射される。

【0043】

位相型CGH83は輪帯状或いは4重極状の形状を作り出す役割を有しており、上述した方法により作製された位相型CGHを使用することにより、変形照明時の光学性能及び光の利用効率を向上させることができる。更に、この照明系を用いてi線或いはKrF等の紫外線を用いた半導体用露光装置を作製すると、高性能な半導体用露光装置を完成することができる。

【0044】

図22はICやLSI等の半導体チップ、液晶パネル或いはCCD等の半導体デバイスの製造工程のフローチャート図を示している。先ず、ステップS1において半導体デバイスの回路設計を行い、続いてステップS2においてステップS1で設計した回路パターンをEB描画装置等を用いマスクを作成する。一方、ステップS3においてシリコン等の材料を用いてウェハを製造する。その後に、前工程と呼ばれるステップS4において、ステップS2、S3において用意したマスク及びウェハを用い、マスクを露光装置内にローディングし、マスクを搬送しマスクチャックにチャッキングする。

【0045】

次に、ウェハをローディングしてアライメントのずれを検出して、ウェハステージを駆動して位置合わせを行い、アライメントが合致したならば露光を行う。露光の終了後にウェハは次のショットへステップ移動し、リソグラフィ技術によってウェハ上に回路を形成する。更に、後工程と呼ばれるステップS5において、ステップS4によって製造されたウェハを用いてダイシング、ボンディング等のアッセンブリ工程、チップ封入等のパッケージング工程を経て半導体チップ化する。チップ化された半導体デバイスは、ステップS6において動作確認テスト、耐久テスト等の検査を行う。このような一連の工程を経て半導体デバイスは完

成し、ステップS7に進み出荷される。

【0046】

図23は図22におけるステップS3において、ウェハ製造の詳細な製造工程のフローチャート図を示している。先ず、ステップS11においてウェハ表面を酸化させる。続いて、ステップS12においてウェハ表面をCVD法により絶縁膜を形成し、ステップS13において電極を蒸着法により形成する。更にステップS14に進みウェハにイオンを打込む。続いて、ステップS15においてウェハ上に感光剤を塗布する。ステップS16では半導体露光装置によりマスクの回路パターンをウェハ上の感光剤上に焼付ける。

【0047】

ステップS17において、ステップS16において露光したウェハ上の感光剤を現像する。更に、ステップS18でステップS17において現像したレジスト像以外の部分をエッチングする。その後に、ステップS19においてエッチングが済んで不要となったレジストを剥離する。更に、これらの一連の工程を繰り返し行うことにより、ウェハ上に多重の回路パターンを形成することができる。

【0048】

【発明の効果】

以上説明したように本発明に係る二次元位相型素子及びその作製方法は、レジストパターンをセグメントの対角線の長さを直径とする円形又はセグメントの対角線の長さを一边の長さとする正方形とすることにより、アライメントエラーが局所的部分に限定され、位相型CGH或いは二次元バイナリ構造体或いは位相変調板の光学性能を向上させることができる。

【図面の簡単な説明】

【図1】

レジストパターンの平面図である。

【図2】

エッチング深さの分布図である。

【図3】

レジストパターンの平面図である。

【図4】

エッチング深さの分布図である。

【図5】

レジストパターンの平面図である。

【図6】

エッチング深さの分布図である。

【図7】

レジストパターンの平面図である。

【図8】

エッチング深さの分布図である。

【図9】

基板の平面図である。

【図10】

基板の平面図である。

【図11】

レジストパターンの平面図である。

【図12】

エッチング深さの分布図である。

【図13】

レジストパターンの平面図である。

【図14】

エッチング深さの分布図である。

【図15】

レジストパターンの平面図である。

【図16】

エッチング深さの分布図である。

【図17】

レジストパターンにおけるずれの概略図である。

【図18】

レジストパターンにおけるずれの概略図である。

【図19】

レチクルの平面図である。

【図20】

階段状回折光学素子の作製模式図である。

【図21】

半導体用露光装置の照明系の概略図である。

【図22】

半導体素子の製造方法のフローチャート図である。

【図23】

半導体素子の製造方法のフローチャート図である。

【図24】

レチクルの平面図である。

【図25】

エッティング深さの分布図である。

【図26】

位相型CGHの断面図である。

【図27】

位相型CGHの断面図である。

【図28】

レジストパターンがずれた場合の平面図である。

【図29】

レジストパターンがずれた場合の平面図である。

【符号の説明】

21 クロム膜

21a クロム膜パターン

22、23、24、25、51、52、53 レジストパターン

31 アルミニウム膜

31a アルミニウム膜パターン

61、62 領域

71 ガラス基板

72 シリンジ

73 樹脂

74 位相型CGH

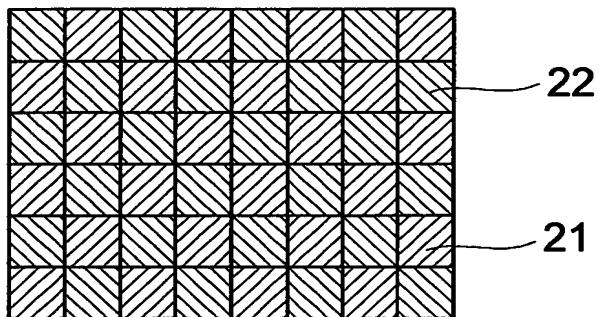
75 レプリカ層

76 階段状回折光学素子

27 整形されたCGH

【書類名】 図面

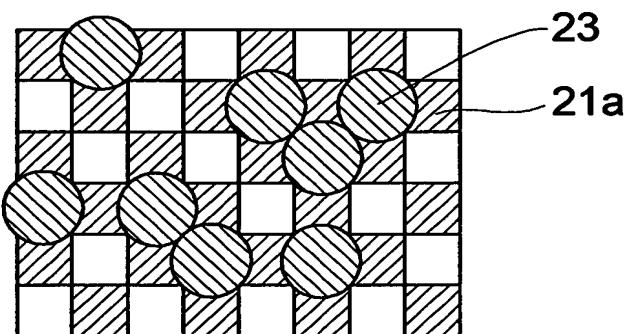
【図 1】



【図 2】

0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0

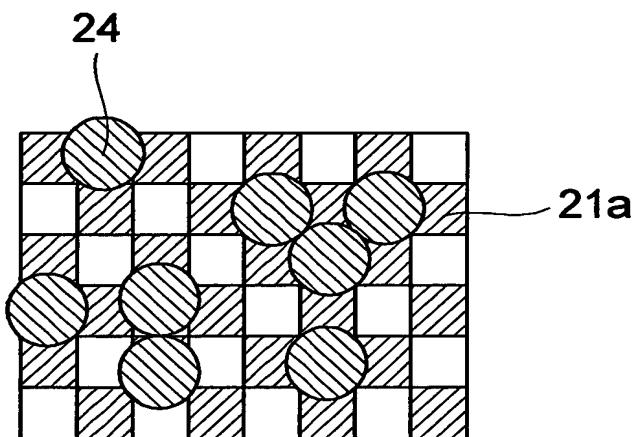
【図 3】



【図4】

0	61	0	61	0	61	0	61
61	0	61	0	0	0	0	0
0	0	0	61	0	61	0	61
0	0	61	0	0	0	61	0
0	61	0	61	0	0	0	61
61	0	0	0	61	0	61	0

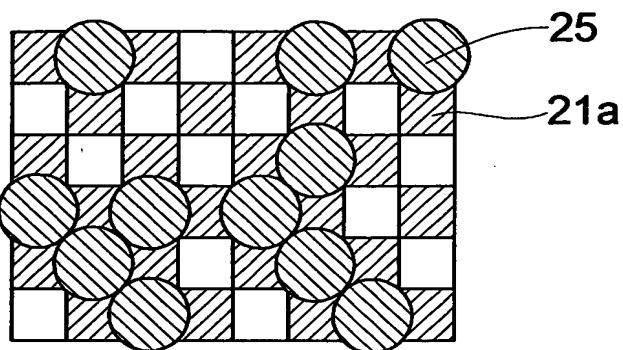
【図5】



【図6】

0	61	0	183	0	183	0	183
183	0	183	0	0	0	0	0
0	122	0	183	0	61	0	183
0	0	61	0	122	0	122	0
0	183	0	61	0	0	0	183
122	0	122	0	183	0	183	0

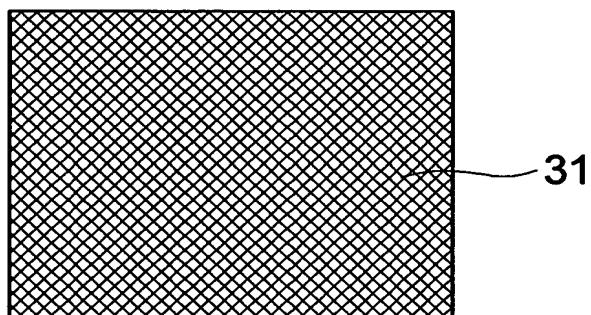
【図7】



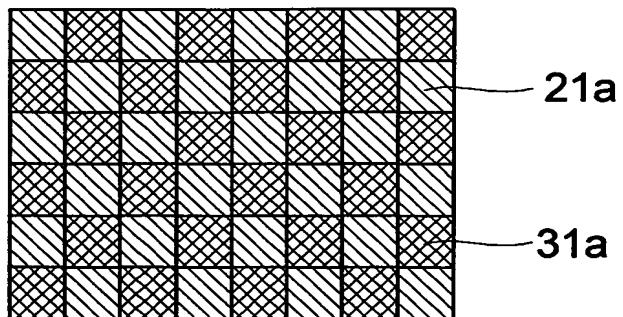
【図8】

0	61	0	427	0	183	0	183
427	0	427	0	244	0	244	0
0	366	0	427	0	61	0	427
0	0	61	0	122	0	305	0
0	183	0	305	0	0	0	427
366	0	122	0	427	0	183	0

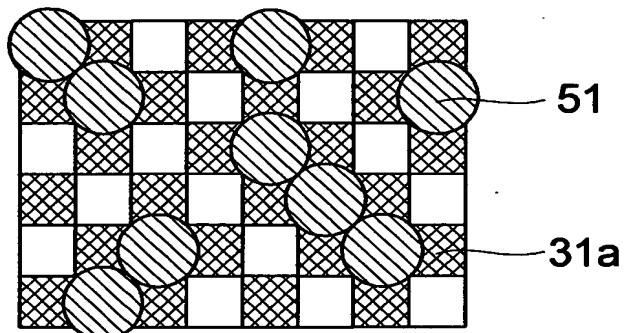
【図9】



【図 10】



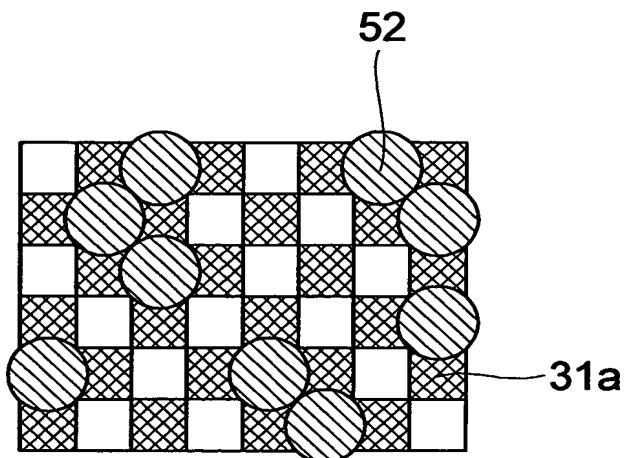
【図 11】



【図 12】

0	61	61	427	0	183	61	183
427	0	427	61	244	61	244	0
61	366	61	427	0	61	61	427
0	61	61	61	122	0	305	61
61	183	0	305	61	0	0	427
366	0	122	61	427	0	183	0

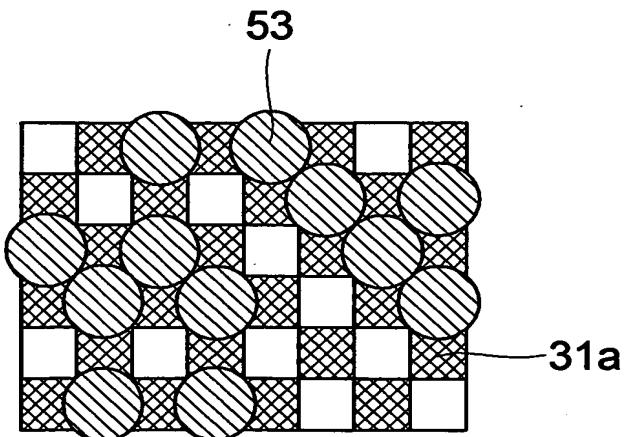
【図13】



【図14】

122	61	61	427	122	183	61	183
427	0	427	183	244	183	244	0
183	366	61	427	122	61	183	427
0	61	61	183	122	122	305	61
61	183	122	305	183	0	122	427
366	122	122	183	427	0	183	0

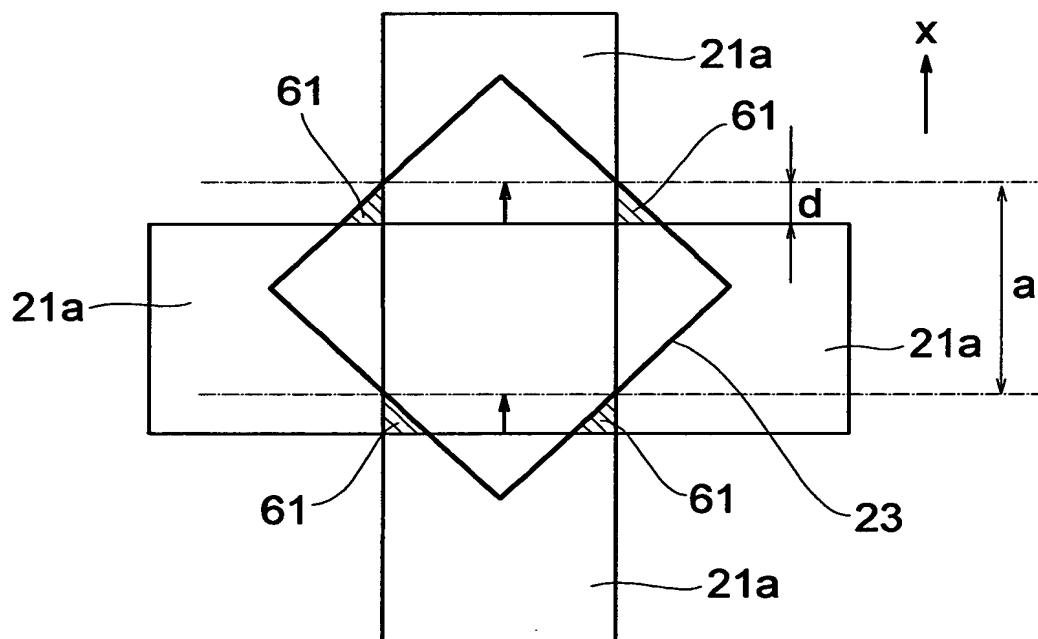
【図15】



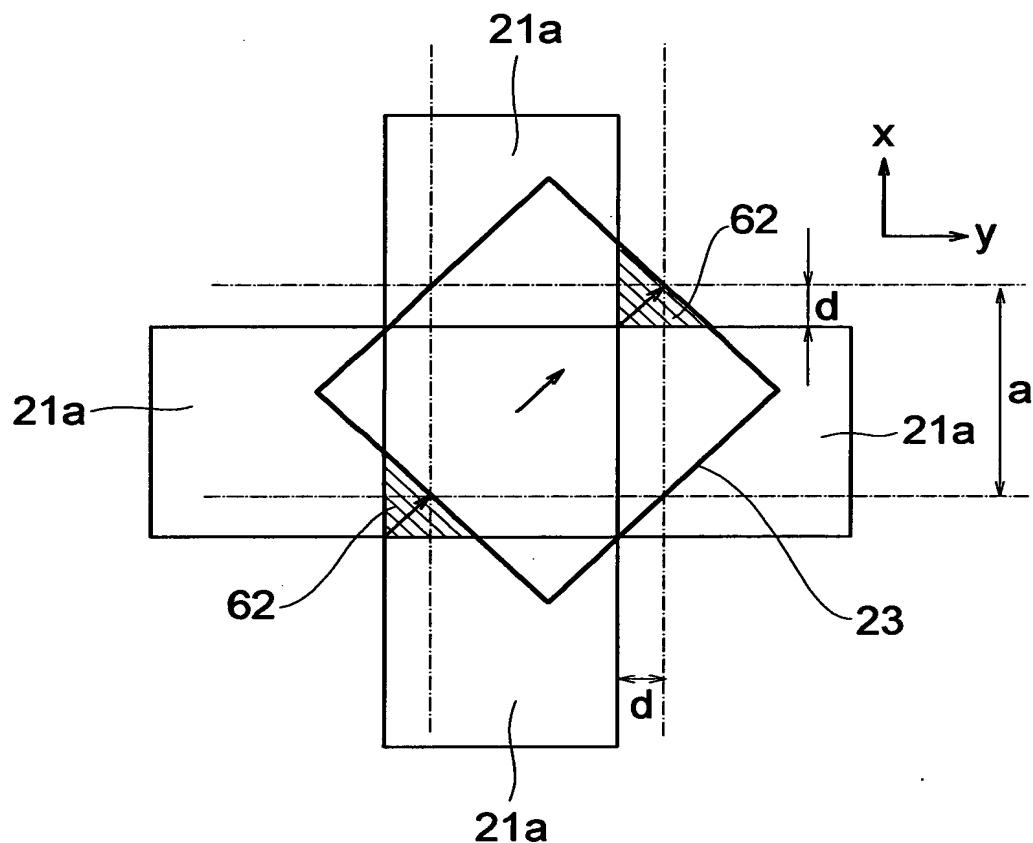
【図16】

366	61	61	427	122	183	305	183
427	244	427	427	244	183	244	0
183	366	61	427	366	61	183	427
0	183	61	183	122	366	305	61
305	183	366	305	427	0	366	427
366	122	122	183	427	244	183	366

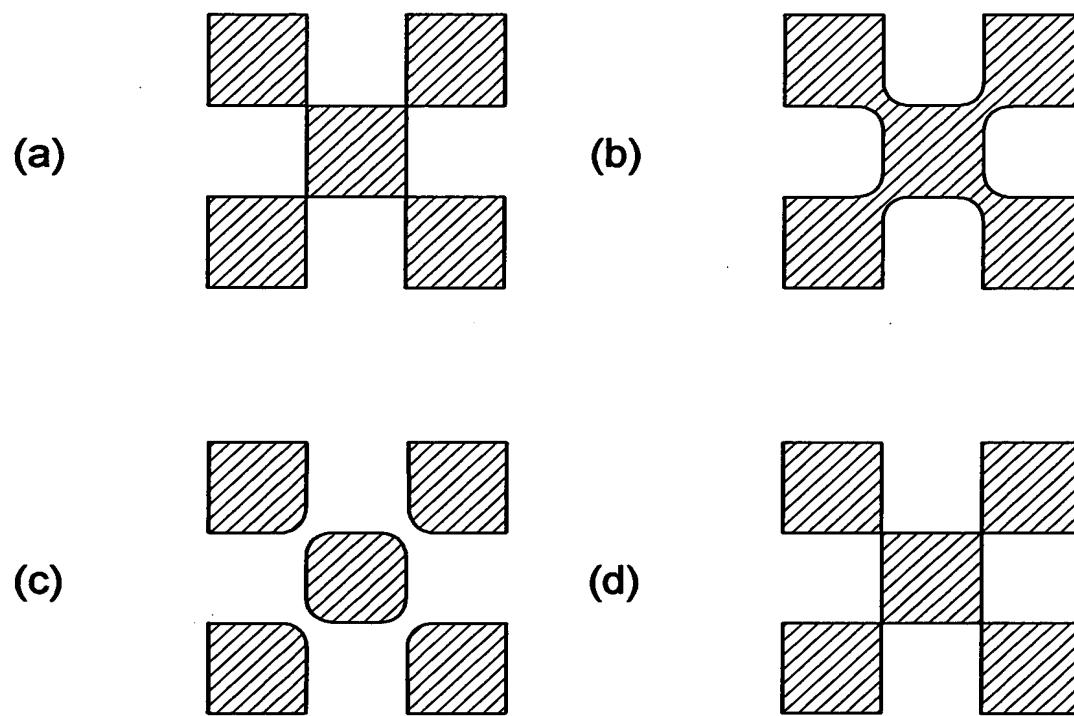
【図17】



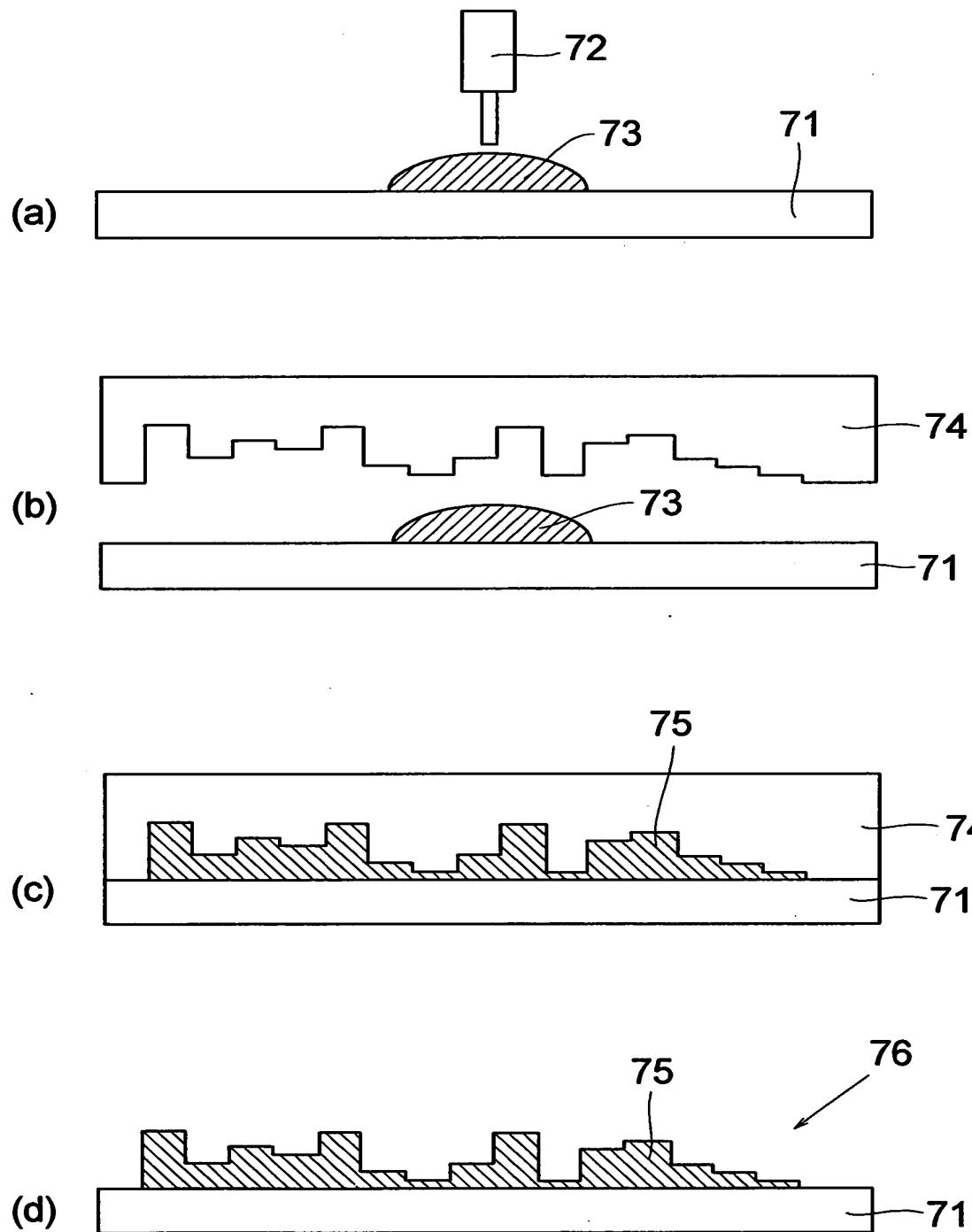
【図18】



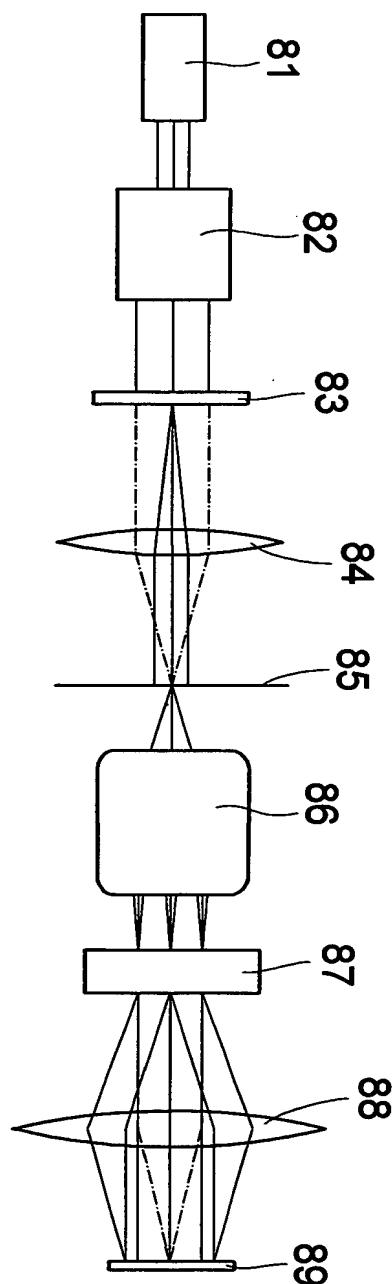
【図19】



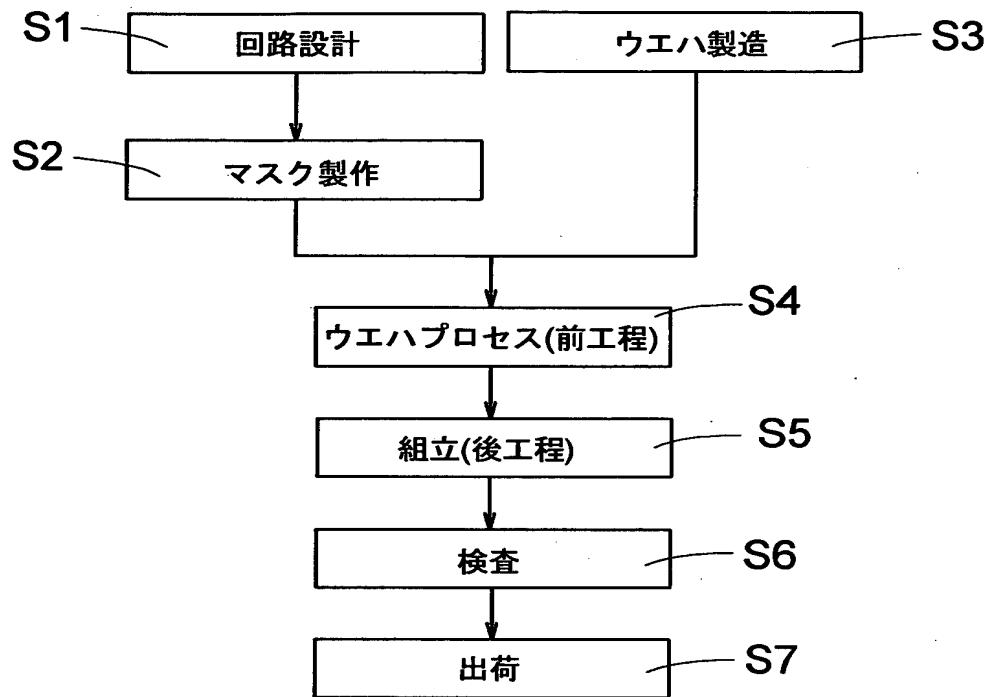
【図20】



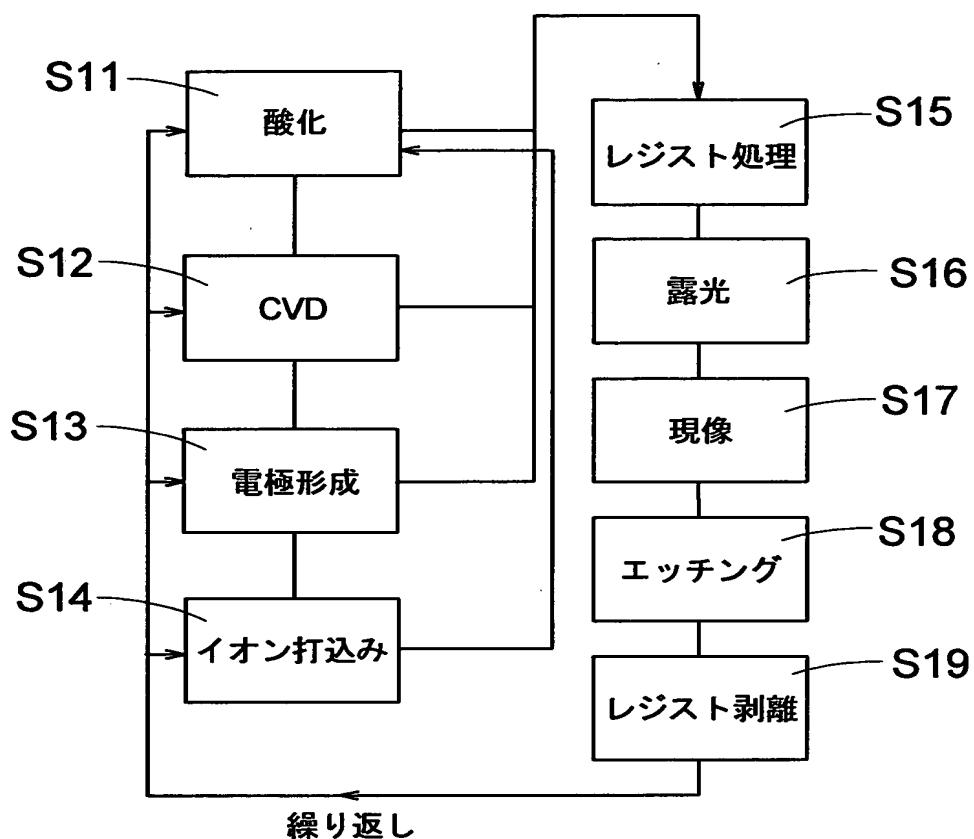
【図21】



【図22】

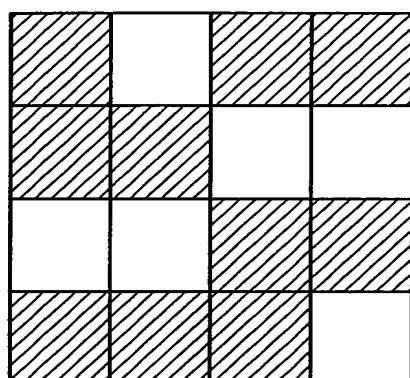


【図23】



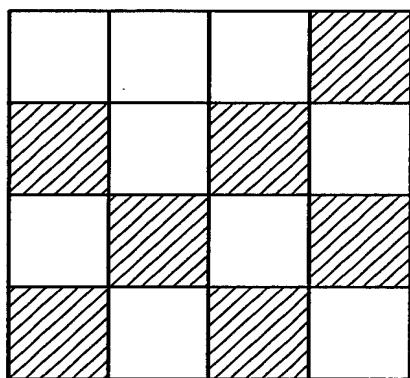
【図24】

(a)



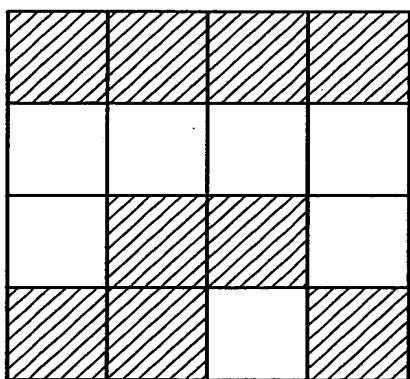
← 1a

(b)



← 1b

(c)



← 1c

【図25】

(a)

0	61	0	0
0	0	61	61
61	61	0	0
0	0	0	61

(b)

122	183	122	0
0	122	61	183
183	61	122	0
0	122	0	183

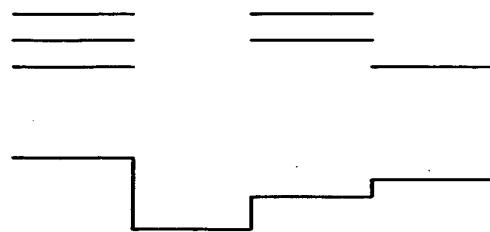
(c)

122	183	122	0
244	366	305	427
427	61	122	244
0	122	244	183

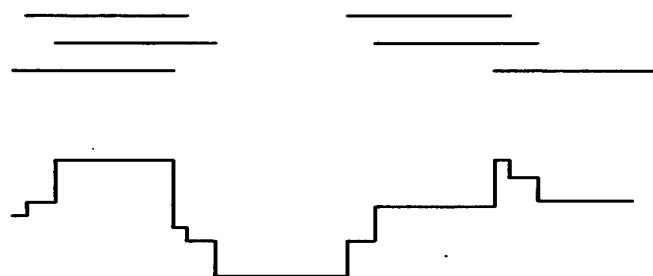
E

e

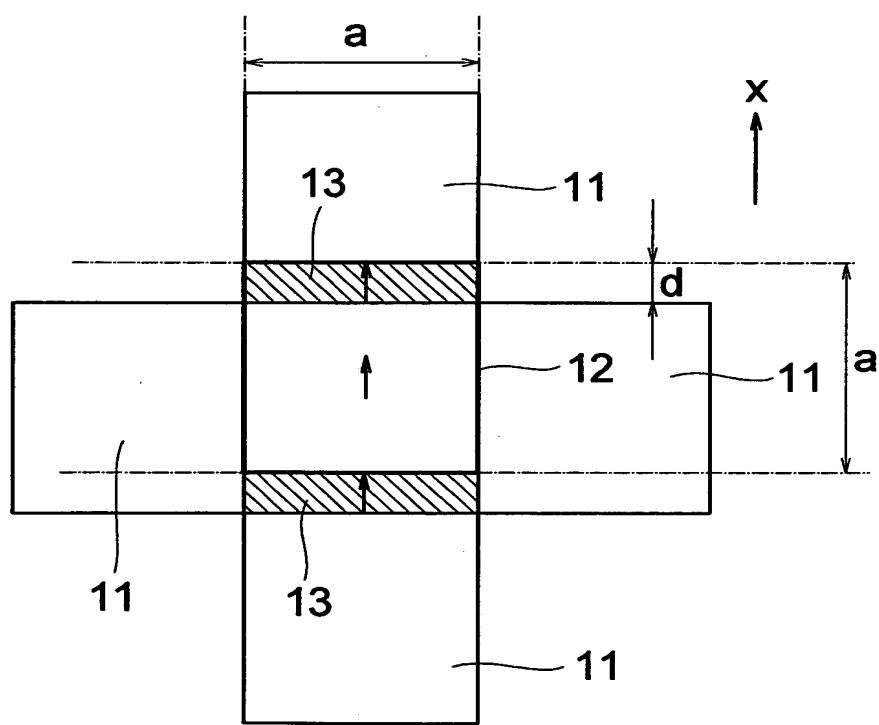
【図26】



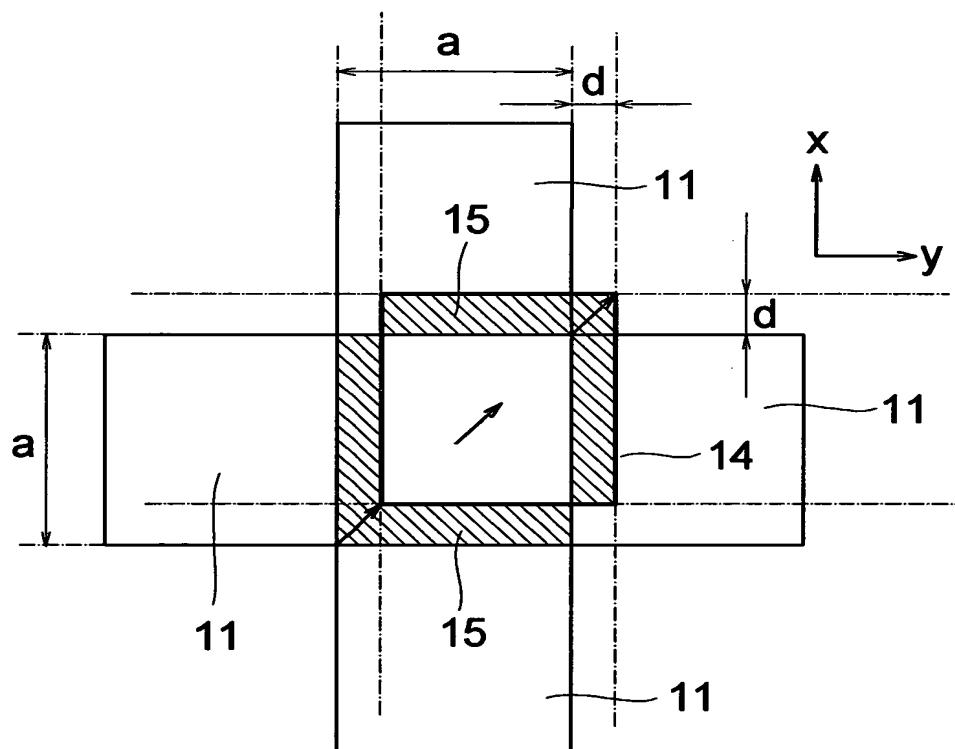
【図27】



【図28】



【図29】



【書類名】 要約書

【要約】

【課題】 アライメントエラーによる無効となる領域を小さくする。

【解決手段】 アライメントエラーにより、一辺が a のレジストパターン23が x 方向に長さ d だけずれた場合のセグメントの平面図を示しており、レジストパターン23は一辺の長さが $2^{1/2}a$ の正方形であり、クロム膜パターン21aの格子に対しては 45° 傾いている。従って、ハッチングで示した領域61が無効な領域となり、局所的部分に限定され、その面積 S_3 は $S_3 = 2d^2$ で示すことができ、アライメントエラーによる無効となる領域を小さくすることができる。

【選択図】 図17

【書類名】 手続補正書
【整理番号】 11250853B
【提出日】 平成12年 8月23日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 平成11年特許願第250853号
【補正をする者】
 【識別番号】 000001007
 【氏名又は名称】 キヤノン株式会社
【代理人】
 【識別番号】 100075948
 【弁理士】
 【氏名又は名称】 日比谷 征彦
【手続補正 1】
 【補正対象書類名】 明細書
 【補正対象項目名】 全文
 【補正方法】 変更
 【補正の内容】 1
【手続補正 2】
 【補正対象書類名】 図面
 【補正対象項目名】 図17
 【補正方法】 変更
 【補正の内容】 18
【手続補正 3】
 【補正対象書類名】 図面
 【補正対象項目名】 図18
 【補正方法】 変更
 【補正の内容】 19

【手続補正 4】

【補正対象書類名】 図面
【補正対象項目名】 図25
【補正方法】 変更
【補正の内容】 20
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 二次元位相素子及びその作製方法

【特許請求の範囲】

【請求項1】 複数のセグメントを有し、セグメント間のアライメントエラーを局所的部分に限定してあることを特徴とする二次元位相素子。

【請求項2】 基板上に第1のエッチングマスクを市松模様状に形成し、このマスクを基準としてエッチングを行うステップを含むことを特徴とする二次元位相素子の作製方法。

【請求項3】 基板上に第1のエッチングマスクを市松模様状に形成し、第1のマスクに覆われない部分にマルチレベルの複数のセグメントを形成し、前記第1のエッチングマスクを反転した第2のエッチングマスクを形成し、前記第1のエッティングマスクを除去し、前記第2のエッティングマスクに覆われない部分にマルチレベルの複数のセグメントを形成するステップを有することを特徴とする二次元位相素子の作製方法。

【請求項4】 前記第1のエッティングマスクはクロムの膜から成ることを特徴とする請求項2又は3に記載の二次元位相素子の作製方法。

【請求項5】 前記第1のエッティングマスクはアルミニウムの膜から成ることを特徴とする請求項2又は3に記載の二次元位相素子の作製方法。

【請求項6】 前記第1のエッティングマスクはアルミニウム、前記第2のエッティングマスクはクロムであることを特徴とする請求項2又は3に記載の二次元位相素子の作製方法。

【請求項7】 前記第1のエッティングマスクはクロム、前記第2のエッティングマスクはアルミニウムであることを特徴とする請求項3に記載の二次元位相素子の作製方法。

【請求項8】 前記基板が石英であることを特徴とする請求項2～7の何れか1つの請求項に記載の二次元位相素子の作製方法。

【請求項9】 前記市松模様状エッティングマスクをフォトリソグラフィで形成するときのレチクルには光近接効果補正パターンを形成していることを特徴とする請求項2～8の何れか1つの請求項に記載の二次元位相素子の作製方法。

【請求項10】 前記エッチングマスクとレジストで形成したエッチングマスクとを使って前記エッチングを行うことを特徴とする請求項2～9の何れか1つの請求項に記載の二次元位相素子の作製方法。

【請求項11】 前記マルチレベルの複数のセグメントを形成した前記基板を型として素子を成形するステップを有することを特徴とする請求項2～10の何れか1つの請求項に記載の二次元位相素子の作製方法。

【請求項12】 位相型コンピュータジエネレイティッドホログラム又は二次元バイナリ構造体又は位相変調板を作製することを特徴とする請求項2～11の何れか1つの請求項に記載の二次元位相素子の作製方法。

【請求項13】 請求項2～12の何れか1つの請求項に記載の方法で作製した二次元位相素子を有する照明系。

【請求項14】 請求項13に記載の照明系を用いた投影露光装置。

【請求項15】 請求項14に記載の投影露光装置を用いてデバイスパターンによりウエハを露光する段階と該露光したウエハを現像する段階とを含むデバイス製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体生産用の縮小露光装置の光学部品或いは光インタコネクション用素子の部品等に用いる位相型コンピュータジエネレイティッドホログラム(CGH)や二次元バイナリ構造体或いは位相変調板等の二次元位相素子及びその作製方法に関するものである。

【0002】

【従来の技術】

0 plus E No.11 pp95-100(1996)による論文によると、レジスト塗布、レジストのパターニング、エッチングの工程を繰り返すことにより、基板に階段形状を作製する方法が開示されており、マスク数をLとすると 2^L の位相レベルを有するマルチレベル位相型CGHが得られる。

【0003】

図24は位相型CGHを製作するためのフォトリソグラフィに用いるレチクルの平面図を示しており、図24(a)、(b)、(c)はそれぞれレチクル1a、1b、1cのパターンを示しており、ハッチングを示した領域は遮光部を示している。また、レチクル1aにより深さ61nm、レチクル1bにより深さ122nm、レチクル1cにより深さ244nmのエッチングを施す。レチクル1a、1b、1cの使用する順は不同であるが、エッチング深さの浅いレチクル1aから行った方が、レジストのパターニング精度は向上する。

【0004】

先ず、基板にレジストを塗布し、図24(a)に示すレチクル1aを用いてレジストをパターニングし、得られたレジストパターンをマスクとして深さ61nmのエッチングを行うと、図25(a)に示すようなエッチング深さ分布となる。なお、数字はエッチング深さ(nm)を示している。その後に、レジストパターンを剥離し、再度レジストを塗布し、図24(b)に示すレチクル1bを用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ122nmのエッチングを行うと、図25(b)に示すようなエッチング深さ分布となる。更に、レジストパターンを剥離し、再度レジストを塗布し、図24(c)に示すレチクル1cを用いてレジストをパターニングし、得られたレジストパターンをマスクとし、更に深さ244nmのエッチングを行うと、図25(c)に示すようなエッチング深さ分布となる。

【0005】

【発明が解決しようとする課題】

しかしながら上述の従来例のフォトリソグラフィにおいては、レチクル間のアライメントが必要であり、マルチレベル位相型CGHを作製する場合に、理想的には図26に示すような形状になるべきであるが、実際にはアライメントエラーを生じ、図27に示す断面図のようなエッジに余分な誤差が生ずる。

【0006】

図28はアライメントエラーにより、一辺aの2回目のレジストパターンがx方向に長さdだけずれた場合のセグメントの平面図を示しており、領域11が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域1

2が2回目のレジストパターンを示している。従って、ハッチングで示す領域1
3が位相型CGHとして無効な領域となり、その面積S1は式(1)で示される。

$$S_1 = 2ad \quad \cdots (1)$$

【0007】

図29はアライメントエラーにより、2回目のレジストパターンがx方向及びy方向に共に長さdだけずれた場合のセグメントの平面図を示しており、細線で示される領域11が最初のレジストパターンによるセグメントの境界を示しており、太線で示す領域14が2回目のレジストパターンを示している。従って、ハッチングで示す領域15が位相型CGHとして無効な領域となり、その面積S2は式(2)で示される。

$$S_2 = 4ad - 2d^2 \quad \cdots (2)$$

【0008】

また、上述の方法により製作した位相型CGHを用いた照明系は、位相型CGHが無効な領域を有するため、所望の場所以外に光束を投影したり、位相型CGHによる像が劣化したりするので、所望の性能を得ることができない。

【0009】

従って、このような照明系を用いた投影露光装置も所望の性能を得ることができず、更にはこの投影露光装置を用いて半導体デバイスを作製する際に歩留低下等によりデバイスの生産性が低下し、デバイス価格は上昇する。

【0010】

本発明の目的は、所望の性能を得ることができる二次元位相素子及びその作製方法を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するための請求項1に係る本発明は、複数のセグメントを有し、セグメント間のアライメントエラーを局所的部分に限定してあるとを特徴とする二次元位相素子である。

【0012】

請求項2に係る本発明は、基板上に第1のエッチングマスクを市松模様状に形

成し、このマスクを基準としてエッティングを行うステップを含むことを特徴とする二次元位相素子の作製方法である。

【0013】

請求項3に係る本発明は、基板上に第1のエッティングマスクを市松模様状に形成し、第1のマスクに覆われない部分にマルチレベルの複数のセグメントを形成し、前記第1のエッティングマスクを反転した第2のエッティングマスクを形成し、前記第1のエッティングマスクを除去し、前記第2のエッティングマスクに覆われない部分にマルチレベルの複数のセグメントを形成するステップを有することを特徴とする二次元位相素子の作製方法である。

【0014】

請求項4に係る本発明は、前記第1のエッティングマスクはクロムの膜から成ることを特徴とする請求項2又は3に記載の二次元位相素子の作製方法である。

【0015】

請求項5に係る本発明は、前記第1のエッティングマスクはアルミニウムの膜から成ることを特徴とする請求項2又は3に記載の二次元位相素子の作製方法である。

【0016】

請求項6に係る本発明は、前記第1のエッティングマスクはアルミニウム、前記第2のエッティングマスクはクロムであることを特徴とする請求項2又は3に記載の二次元位相素子の作製方法である。

【0017】

請求項7に係る本発明は、前記第1のエッティングマスクはクロム、前記第2のエッティングマスクはアルミニウムであることを特徴とする請求項3に記載の二次元位相素子の作製方法である。

【0018】

請求項8に係る本発明は、前記基板が石英であることを特徴とする請求項2～7の何れか1つの請求項に記載の二次元位相素子の作製方法である。

【0019】

請求項9に係る本発明は、前記市松模様状エッティングマスクをフォトリソグラ

フィで形成するときのレチクルには光近接効果補正パターンを形成していることを特徴とする請求項2～8の何れか1つの請求項に記載の二次元位相素子の作製方法である。

【0020】

請求項10に係る本発明は、前記エッチングマスクとレジストで形成したエッチングマスクとを使って前記エッチングを行うことを特徴とする請求項2～9の何れか1つの請求項に記載の二次元位相素子の作製方法である。

【0021】

請求項11に係る本発明は、前記マルチレベルの複数のセグメントを形成した前記基板を型として素子を成形するステップを有することを特徴とする請求項2～10の何れか1つの請求項に記載の二次元位相素子の作製方法である。

【0022】

請求項12に係る本発明は、位相型コンピュータジエネレイテッドホログラム又は二次元バイナリ構造体又は位相変調板を作製することを特徴とする請求項2～11の何れか1つの請求項に記載の二次元位相素子の作製方法である。

【0023】

請求項13に係る本発明は、請求項2～12の何れか1つの請求項に記載の方法で作製した二次元位相素子を有する照明系である。

【0024】

請求項14に係る本発明は、請求項13に記載の照明系を用いた投影露光装置である。

【0025】

請求項15に係る本発明は、請求項14に記載の投影露光装置を用いてデバイスパターンによりウエハを露光する段階と該露光したウエハを現像する段階とを含むデバイス製造方法である。

【0026】

【発明の実施の形態】

本発明を図1～図23に図示の実施例に基づいて詳細に説明する。

図1において、先ず石英基板上に膜厚約100nmのクロム膜21を成膜し、

更にこのクロム膜21上にフォトレジストを塗布してフォトリソグラフィにより市松模様（チェックカフラッグ）状の幅 $1\text{ }\mu\text{m}$ のレジストパターン22をエッチングマスクとして形成する。

【0027】

本実施例においては、基板材料として石英を使用しているが、フッ化カルシウム、フッ化マグネシウム、フッ化リチウム、フッ化アルミニウム等のフッ化物を用いてもよい。フッ化物は特にArFエキシマレーザー光や、F₂（フッ素）エキシマレーザー光等の短波長の露光光を用いる露光装置に用いる位相型CGHや位相変調板の材料として有効である。また、石英はArFエキシマレーザー光、KrFエキシマレーザー光又は超高压水銀ランプを使用したi線等の露光装置に用いる位相型CGHや位相変調板の材料として適している。また、レジストパターン22の形成には、ステッパー、EB描画装置、イオン描画装置の何れかを用いる。

【0028】

図2は基板の各セグメントにおけるエッチング深さの分布を示しており、後述する図4、図6、図8、図12、図14においても同様である。図2は基板のエッチングが行われていない状態であるため、各セグメントの深さは全て0（nm）である。

【0029】

次に、平行平板RIE法により、レジストパターン22をマスクとして、クロム膜21を例えば塩素及び酸素から成る混合ガスを用いエッチングし、クロム膜パターンを形成する。また、RIE法以外にスパッタエッチングや特にフッ化物系材料の場合に最適なイオンミリング法、ICP法やUHFプラズマ法等の低圧高密度プラズマを用いたエッチング方法を用いてもよい。

【0030】

続いて、このレジストパターン22を剥離することにより、図3に示すようなクロム膜パターン21aを形成することができ、フォトレジストを再度塗布し、フォトリソグラフィによりレジストパターン23を形成する。また、このレジストパターン23はセグメントの対角線の長さを直径とする円形を示しているが、

セグメントの対角線の長さを一边の長さとする正方形としてもよい。

【0031】

次に、クロム膜パターン21aとレジストパターン23とをマスクとして、石英基板をRIE法により深さ61nmエッチングする。また、図4はこの1回目のエッチング後の石英基板の各セグメントにおけるエッチング深さ(nm)の分布を示している。

【0032】

更に、このレジストパターン23を剥離した後に、再度フォトレジストを塗布しフォトリソグラフィにより、図5に示すようなレジストパターン24を形成する。また、レジストパターン24はレジストパターン23と同様に円形を示しているが、セグメントの対角線の長さを一边の長さとする正方形としてもよい。続いて、このクロム膜パターン21aとレジストパターン24とをマスクとして、石英基板をRIE法により更に深さ122nmエッチングする。また、図6は2回目のエッチング後の石英基板の各セグメントにおけるエッチング深さの分布を示している。

【0033】

次に、レジストパターン24を剥離し、再度フォトレジストを塗布しフォトリソグラフィにより、図7に示すようなレジストパターン25を形成し、クロム膜パターン21aとレジストパターン25とをマスクとして、RIE法により、更に深さ244nmエッチングする。図8は3回目のエッチング後の石英基板の各セグメントにおけるエッチング深さの分布を示している。また、レジストパターン25はレジストパターン23と同様に円形を示しているが、正方形でもよい。

【0034】

続いて、レジストパターン25を剥離し、その上にスパッタリング法により、図9に示すように膜厚100nmのアルミニウム膜31を全面に成膜する。次に、クロム膜パターン21aの表面が露出するまで研磨剤として、粒径5/100μmの酸化セリウム、研磨布としてウレタンシートを用い、ラップ盤により30rpm、50g/cm²の条件において研磨する。

【0035】

図10は研磨後の基板の平面図を示しており、クロム膜パターン21a及びアルミニウム膜パターン31aが交互に配置されクロム膜パターン21の群とアルミニウム膜パターン31の群は何れも市松模様である。更に、クロム膜パターン21aを、例えば硝酸セリウムアンモニウムと過塩素酸と水の混合液によるエッティング液を用いてウェットエッティングすることにより除去する。このように、アルミニウム膜パターン21aを残してクロム膜パターン21aは除去することにより、クロム膜パターン21aから成る市松模様を反転したアルミニウム膜パターン31aの市松模様を形成することができる。

【0036】

そして、更にフォトレジストを塗布し、フォトリソグラフィにより図11に示すようにレジストパターン51を形成する。レジストパターン51はセグメントの対角線の長さを直径とする円形の場合を示しているが、レジストパターン23と同様にセグメントの対角線の長さを一边の長さとする正方形としてもよい。

【0037】

アルミニウム膜パターン31aとフォトレジストパターン51とをマスクとして、石英基板をRIE法により深さ61nmエッティングする。図12はこの1回目のエッティング後の石英基板の各セグメントにおけるエッティング深さの分布を示している。

【0038】

次に、レジストパターン51を剥離し、再度フォトレジストを塗布し、フォトリソグラフィにより図13に示すようにレジストパターン52を形成する。そして、アルミニウム膜パターン31aとレジストパターン52とをマスクとして、更に石英基板を深さ122nmエッティングする。図14はこの石英基板の各セグメントにおけるエッティング深さを示している。また、レジストパターン52はセグメントの対角線の長さを一边の長さとする正方形としてもよい。

【0039】

続いて、レジストパターン52を剥離し、再度フォトレジストを塗布し、フォトリソグラフィにより図15に示すようにレジストパターン53を形成する。そして、アルミニウム膜パターン31aとレジストパターン53とをマスクとして

、石英基板を深さ244nmエッティングする。図16は石英基板の各セグメントのエッティング深さの分布を示している。また、レジストパターン53はセグメントの対角線の長さを一辺の長さとする正方形としてもよい。

【0040】

更に、レジストパターン53を剥離した後に、アルミニウム膜パターン31aを例えばリン酸、硝酸、酢酸、水の混合溶液を用いてウェットエッティングにより除去することにより、8段形状（8レベルの深さ分布）を有する位相型CGHを得ることができる。

【0041】

図17はアライメントエラーにより、中央のセグメント61を被うべきレジストパターン23がx方向に長さdだけずれた場合のセグメントの平面図を示しており、レジストパターン23は一辺の長さが $2^{1/2}a$ の正方形であり、クロム膜パターン21aの格子（正方形21a）に対しては45°傾いている。なお、62はエッティングすべきセグメントである。

【0042】

図3、図5、図7において、レジストパターン23は円形のものを用いたが、図17においては説明を簡略化するために正方形のものを使用している。従って、ハッチングで示した領域63が無効な領域となり、局所的部分に限定され、その面積S3は式(3)で示される。図28の従来例と比較すると、 $d < a$ である限り、 $S1 > S3$ が成立する。

$$S3 = 2d^2 \quad \dots (3)$$

【0043】

通常のパターニングでは、 $d \ll a$ の条件においてアライメントが行えるため、本実施例のレジストパターン23は、従来例において示したレジストパターン12よりも無効な領域を小さくすることができるパターンであると云える。

【0044】

図18はアライメントエラーにより、中央のセグメントを被うべきレジストパターン23がx方向及びy方向にそれぞれ長さdだけずれた場合のセグメントの平面図を示しており、レジストパターン23は図17と同様に、一辺の長さは2

$1/2 a$ の正方形であり、クロム膜パターン 21a の格子（正方形 21a）に対して 45° 傾いている。

【0045】

従って、ハッチングで示した領域 64 が無効な領域となり、局所的部分に限定され、その面積 S_4 は次の式(4)で示されるので図 29 の従来例と比較すると、 $d < 2a/3$ である限り、 $S_2 > S_4$ が成立する。

$$S_4 = 4 d^2 \quad \cdots (4)$$

【0046】

通常のパターニングでは、 $d \ll a$ の条件においてアライメントが行えるため、本実施例のレジストパターン 23 は従来例において示したレジストパターン 12 より無効な領域を小さくすることができるパターンであると云える。

【0047】

本実施例においては、図 17 と図 18 の 2 つのモデルを用いて従来例と比較したが、任意の方向にアライメントエラーが生じた際にも、本実施例のアライメントエラーの方が無効な領域を小さくすることができる。

【0048】

図 19 (a) は本実施例における市松模様状のクロム膜パターンを形成するためのレチクルの概略図を示している。しかし、図 19 (a) に示すレチクルを用いて形成したレジストパターンは図 19 (b) に示すようになり、正確なクロム膜パターンを形成することができない。

【0049】

そこで、光近接効果補正を行った図 19 (c) に示すようなレチクルを用いることにより、図 19 (d) に示すようなレジストパターンを得ることができ、より正確なクロム膜パターンが作製可能となる。

【0050】

さて、上記の実施例の方法で作製した位相型 CGH 或いは二次元バイナリ構造体或いは位相変調板には、必要に応じて反射防止膜を形成する。基板に反射材料を用いたり、蒸着、メッキ、スパッタ、CVD 法等の方法により反射材料を成膜することにより、反射型の位相型 CGH 或いは反射型の二次元バイナリ構造体或

いは反射型の位相変調板を作製することもできる。また、この反射型の素子の基板上に表面に反射増強膜を形成してもよい。

【0051】

図20は階段状回折光学素子の作製模式図を示しており、図20に示すように上記実施例において作製した位相型CGHを型として用い、樹脂製の階段状回折光学素子を作製することができる。先ず、図20(a)に示すようにガラス基板71にシリンジ72を用いて、反応硬化型樹脂即ちアクリル系、エポキシ系等の紫外線硬化型樹脂か、或いは熱硬化型樹脂等の樹脂73を滴下する。

【0052】

次に、図20(b)に示すように本実施例における方法により作製した位相型CGH74を樹脂73の上面から押圧することにより、図20(c)に示すようなレブリカ層75を形成する。この際に、型となる位相型CGH74を樹脂73に押圧する前に、位相型CGH74の表面に必要に応じ離型剤を塗布することにより離型し易くする。

【0053】

次に、紫外線硬化型樹脂を用いた場合には型となるガラス基板71の側から紫外線を照射し、樹脂73を固化させる。また、熱硬化型樹脂を用いた場合には加熱処理を施すことにより樹脂73を固化させる。その後に、ガラス基板71からレブリカ層75を剥離することにより、図20(d)に示すような階段状回折光学素子76を得ることができる。

【0054】

図21は本実施例により作製した位相型CGHを用いたi線或いはKrFエキシマレーザー光等の紫外線を露光光に用いた半導体用露光装置の照明系の概略図を示している。光源81から出射した光束は、ビーム整形光学系82を介して位相型CGH83に入射する。このCHG素子83を透過した光束はリレーレンズ系84、絞り85、ズーム光学系86、多光束発生光学系87、照射手段88を介してレチクル89に照射される。これにより、レチクル89の回路パターンが図示しない投影光学系によってウエハ上に投影される。

【0055】

位相型CGH83は輪帯状或いは4重極状の光を絞り85の位置に作り出す役割を有しており、上述した方法により作製された位相型CGHを使用することにより、輪帯照明や4重極照明などの変形照明時の光学性能及び光の利用効率を向上させることができる。更に、この照明系を用いてi線或いはKrFエキシマレーザー光等の紫外線を露光光に用いた半導体用露光装置を作製すると、高性能な半導体用露光装置を完成することができる。

【0056】

図22はICやLSI等の半導体チップ、液晶パネル或いはCCD等の半導体デバイスの製造工程のフローチャート図を示している。先ず、ステップS1において半導体デバイスの回路設計を行い、続いてステップS2においてステップS1で設計した回路パターンをEB描画装置等を用いマスクを作成する。一方、ステップS3においてシリコン等の材料を用いてウェハを製造する。その後に、前工程と呼ばれるステップS4において、ステップS2、S3において用意したマスク及びウェハを用い、マスクを上述の露光装置内にローディングし、マスクを搬送しマスクチャックにチャッキングする。

【0057】

次に、ウェハを上述の露光装置内にローディングしてアライメントのずれを検出し、ウェハステージを駆動して位置合わせを行い、アライメントが合致したならば露光を行う。露光の終了後にウェハは次のショットへステップ移動し、リソグラフィ技術によってウェハ上に回路を形成する。更に、後工程と呼ばれるステップS5において、ステップS4によって製造されたウェハを用いてダイシング、ボンディング等のアッセンブリ工程、チップ封入等のパッケージング工程を経て半導体チップ化する。チップ化された半導体デバイスは、ステップS6において動作確認テスト、耐久テスト等の検査を行う。このような一連の工程を経て半導体デバイスは完成し、ステップS7に進み出荷される。

【0058】

図23は図22におけるウェハプロセス（ステップS4）の詳細な製造工程のフローチャート図を示している。先ず、ステップS11においてウェハ表面を酸化させる。続いて、ステップS12においてウェハ表面をCVD法により絶縁膜

を形成し、ステップS13において電極を蒸着法により形成する。更にステップS14に進みウェハにイオンを打込む。続いて、ステップS15においてウェハ上に感光剤を塗布する。ステップS16では半導体露光装置によりマスクの回路パターンをウェハ上の感光剤上に焼付ける。

【0059】

ステップS17において、ステップS16において露光したウェハ上の感光剤を現像する。更に、ステップS18でステップS17において現像したレジスト像以外の部分をエッティングする。その後に、ステップS19においてエッティングが済んで不要となったレジストを剥離する。更に、これらの一連の工程を繰り返し行うことにより、ウェハ上に多重の回路パターンを形成することができる。

【0060】

以上説明した二次元位相素子及びその作製方法は、市松模様の第1のエッティングマスクと組み合わせる第2のエッティングマスクとしてのレジストパターンをセグメントの対角線の長さを直径とする円形又はセグメントの対角線の長さを一边の長さとするセグメントに対して45°傾いた正方形とすることにより、アライメントエラーを局所的部分に限定し、位相型CGH或いは二次元バイナリ構造体或いは位相変調板を従来よりも正確に作製でき、従ってそれらの光学性能を向上させることができる。

【0061】

【発明の効果】

このように本発明によれば、所望の性能を有する二次元位相素子を得ることができる。

【図面の簡単な説明】

【図1】

本発明の一実施例の基板上のレジストパターンの平面図である。

【図2】

本発明の一実施例の基板のエッティング深さの分布図である。

【図3】

レジストパターンの平面図である。

【図4】

本発明の一実施例の基板のエッチング深さの分布図である。

【図5】

本発明の一実施例の基板上のレジストパターンの平面図である。

【図6】

本発明の一実施例の基板のエッチング深さの分布図である。

【図7】

本発明の一実施例の基板上のレジストパターンの平面図である。

【図8】

本発明の一実施例の基板のエッチング深さの分布図である。

【図9】

本発明の一実施例のアルミニウム膜を形成した基板の平面図である。

【図10】

本発明の一実施例のアルミニウム膜を所定量研磨した基板の平面図である。

【図11】

本発明の一実施例の基板上のレジストパターンの平面図である。

【図12】

本発明の一実施例の基板のエッチング深さの分布図である。

【図13】

本発明の一実施例の基板上のレジストパターンの平面図である。

【図14】

本発明の一実施例の基板のエッチング深さの分布図である。

【図15】

本発明の一実施例の基板上のレジストパターンの平面図である。

【図16】

本発明の一実施例の基板のエッチング深さの分布図である。

【図17】

実施例のレジストパターンがずれた場合の無効領域の説明図である。

【図18】

実施例におけるレジストパターンがずれた場合の無効領域の説明図である。

【図19】

レチクルの平面図である。

【図20】

階段状回折光学素子の作製模式図である。

【図21】

半導体用露光装置の照明系の概略図である。

【図22】

半導体素子の製造方法のフローチャート図である。

【図23】

半導体素子の製造方法のフローチャート図である。

【図24】

レチクルの平面図である。

【図25】

エッティング深さの分布図である。

【図26】

位相型CGHの断面図である。

【図27】

位相型CGHの断面図である。

【図28】

従来のレジストパターンがずれた場合の無効領域の説明図である。

【図29】

従来のレジストパターンがずれた場合の無効領域の説明図である。

【符号の説明】

21 クロム膜

21a クロム膜パターン

22、23、24、25、51、52、53 レジストパターン

31 アルミニウム膜

31a アルミニウム膜パターン

63、64 領域

71 ガラス基板

72 シリンジ

73 樹脂

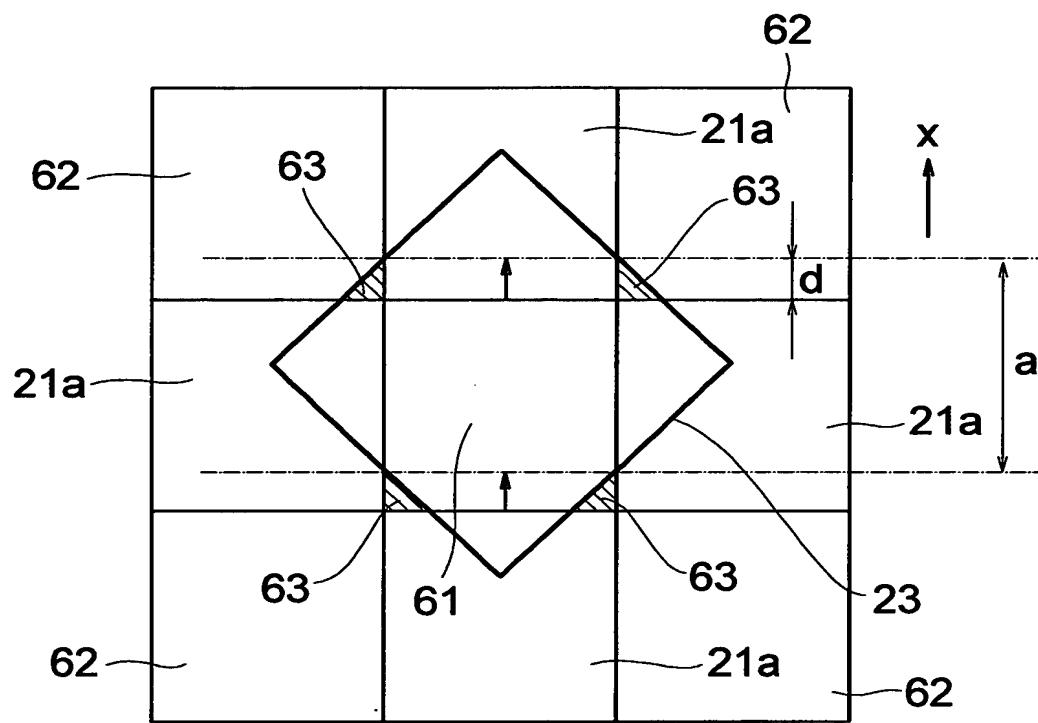
74 位相型CGH

75 レプリカ層

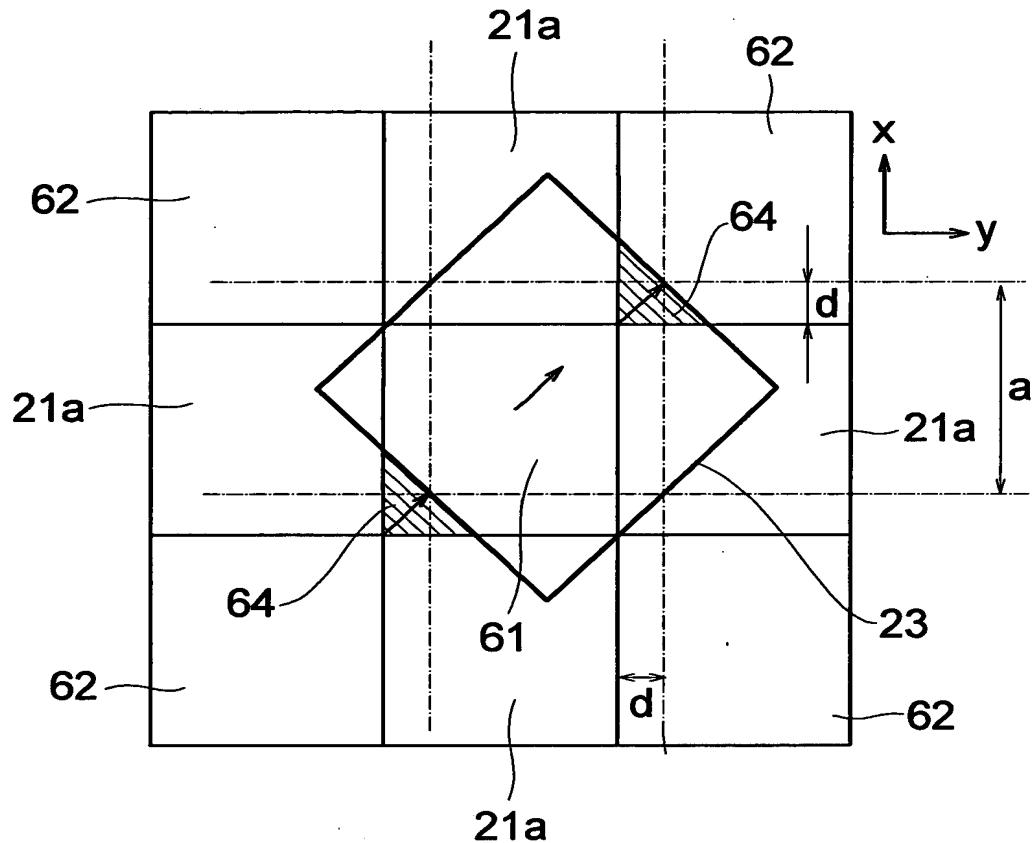
76 階段状回折光学素子

27 整形されたCGH

【図17】



【図18】



【図25】

(a)

0	61	0	0
0	0	61	61
61	61	0	0
0	0	0	61

(b)

122	183	122	0
0	122	61	183
183	61	122	0
0	122	0	183

(c)

122	183	122	0
244	366	305	427
427	61	122	244
0	122	244	183

認定・付加情報

特許出願の番号 平成11年 特許願 第250853号
受付番号 50001066480
書類名 手続補正書
担当官 大井手 正雄 4103
作成日 平成12年 8月28日

<認定情報・付加情報>

【補正をする者】

【識別番号】 000001007
【住所又は居所】 東京都大田区下丸子3丁目30番2号
【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100075948
【住所又は居所】 東京都足立区梅島3-3-24 ステーションブ
ラザ318 日比谷特許事務所
【氏名又は名称】 日比谷 征彦

次頁無

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社